

AG

Requested Patent: JP4268929A
Title: DUPLICATED PROCESSOR SYSTEM ;
Abstracted Patent: JP4268929 ;
Publication Date: 1992-09-24 ;
Inventor(s): HORIGUCHI AKIRA ;
Applicant(s): MITSUBISHI ELECTRIC CORP ;
Application Number: JP19910050117 19910225 ;
Priority Number(s): ;
IPC Classification: G06F11/20 ; G06F15/16 ;

Equivalents:

ABSTRACT:

PURPOSE: To prevent the generation of system down when an emergency operation device is failed by duplicating both of emergency operation starting factor detecting parts and emergency operation control parts and storing outputs from both of the detecting parts and control parts in memories together with their generation time.

CONSTITUTION: The emergency operation starting factor detecting parts 4a, 4b in emergency operation devices 3a, 3b always and mutually exchange and monitor respective processor status to/from processors 1a, 1b in self-systems. When the detecting part 4a e.g. detects an emergency operation starting factor, the detecting part 4a starts an emergency operation control part 5a, and while monitoring also the detecting part 4b in the opposite system, informs a necessary emergency operation instruction to the processor 1a through an emergency operation instructing part 6a. The status information of the detecting part 4a and the control information of the control part 5a are stored in a 2-port memory 9a together with generation time based upon an emergency operation generating time managing clock generated from a clock generating part 10a. The processor 1a reads out the stored contents through a bus 2a.

【特許請求の範囲】

【請求項1】 それぞれが別々のプロセッサバスに接続されて、互いに独立した系を構成する二重化されたプロセッサと、前記各系毎に設けられ、自系の前記プロセッサよりプロセッサステータス受け取り、受け取ったプロセッサステータスを相互に交換して自系と相手系の前記プロセッサステータスを監視し、緊急動作起動要因の検出を行う緊急動作起動要因検出部と、前記各系毎に設けられ、自系の前記緊急動作起動要因検出部の出力に基づいて緊急動作を制御する緊急動作制御部と、前記各系毎に設けられ、自系の前記緊急動作制御部の制御に従って自系の前記プロセッサに緊急動作の指示を行う緊急動作指示部と、前記各系毎に設けられ、自系の前記緊急動作起動要因検出部の出力および前記緊急動作制御部の出力をその発生時刻とともに記憶し、それを前記各系の前記プロセッサバスの各々に出力する緊急動作ステータスメモリと、前記各系毎に設けられ、自系の前記緊急動作ステータスメモリに緊急動作発生時刻管理用クロックを供給するクロック発生部とを備えた二重化プロセッサシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、二重化プロセッサシステム、特に二重化されたプロセッサの障害発生時の切り換え制御に関するものである。

【0002】

【従来の技術】 図2は例えば特開昭62-182936号公報に示された従来の二重化プロセッサシステムを示すブロック図である。図において、1a、1bは二重化されたプロセッサであり、2a、2bは各プロセッサ1a、1bのプロセッサバスである。

【0003】 3はプロセッサ1aあるいは1bに障害が発生した場合に系の切り換えを制御する緊急動作装置である。また、この緊急動作装置3内において、4は各プロセッサ1a、1bのプロセッサステータスを監視して緊急動作起動要因を検出する緊急動作起動要因検出部である。

【0004】 5はこの緊急動作起動要因検出部4の出力に基づいて緊急動作を制御する緊急動作制御部である。6a、6bは各系のプロセッサ1a、1bのそれぞれに対応して設けられ、緊急動作制御部5の制御に従って自系のプロセッサ1aあるいは1bに緊急動作の指示を行う緊急動作指示部である。

【0005】 7は緊急動作ステートおよび緊急動作カウンタを保持する、緊急動作制御部5に接続された緊急動作カウンタであり、8はこの緊急動作カウンタ7に保持された緊急動作ステートおよび緊急動作カウンタと、緊急動作起動要因検出部4で検出された緊急動作起動要因をセーブするセーブレジスタである。

【0006】 次に動作について説明する。緊急動作起動

要因検出部4は、両系のプロセッサ1a、1bのステータスを常に監視しており、緊急障害発生を検出すると緊急動作制御部5を起動する。緊急動作制御部5は、緊急動作カウンタ7内の緊急動作ステート及び緊急動作カウンタに従って緊急動作指示部6a、6bに緊急動作を行わせるように指示を与える。

【0007】 またこれと同時に、緊急動作制御部5は緊急動作カウンタ7に保持された緊急動作ステート及び緊急動作カウンタと緊急動作起動要因検出部4で検出された緊急動作起動要因とをセーブレジスタ8にセーブさせる。

【0008】 緊急動作指示部6a、6bは、緊急動作制御部5からの指示により、プロセッサ1a、1bに制御信号を送出し、立ち上げ動作を行なわせる。この時、緊急動作カウンタ7の緊急動作ステート及び緊急動作カウンタが更新される。

【0009】 立ち上げ終了後には、緊急動作制御部5は、プロセッサバス2a、2bを介してプロセッサ1aおよび1bと通信することによってセーブレジスタ8の内容を通知し、プロセッサ1aおよび1bは、その緊急動作ステート及び緊急動作カウンタと緊急動作起動要因から障害要因を探索できる。

【0010】

【発明が解決しようとする課題】 従来の二重化プロセッサシステムは、以上のように構成されているので、緊急動作装置3はシステムに1台のみであり、この緊急動作装置3が故障あるいは点検などのときはシステム全体の二重化構成が機能しなくなり、緊急動作装置3がいわゆる「一点障害 (Single Point of Failure)」となってしまうという問題点があり、さらにはセーブレジスタ8として1つしか設備していないために、障害の履歴を遡ったり、時系列的な障害管理ができないという問題点があった。

【0011】 この発明は、上記のような問題点を解消するためになされたもので、緊急動作装置の故障に対してシステムダウンとならない構成を提供すると共に、稼動中においても緊急動作装置の点検や交換が可能な二重化プロセッサシステムを得ることを目的とする。

【0012】

【課題を解決するための手段】 この発明に係る二重化プロセッサシステムは、緊急動作起動要因検出部および緊急動作制御部をも二重化し、さらに自系の緊急動作起動要因検出部の出力および緊急動作制御部の出力をその発生時刻とともに記憶して、それを両系のプロセッサバスに出力する緊急動作ステータスメモリと、各緊急動作ステータスメモリに緊急動作発生時刻管理用クロックを供給するクロック発生部を設けたものである。

【0013】

【作用】 この発明における二重化プロセッサシステムは、緊急動作指示部ばかりでなく緊急動作起動要因検出

3

部および緊急動作制御部をも二重化して、一点障害となることを防ぐとともに、各系において、自系の緊急動作起動要因検出部および緊急動作制御部の各出力をその発生時刻とともに緊急動作ステータスメモリに記憶させることにより、障害管理や緊急動作の際の再開処理が速やかに行える二重化プロセッサシステムを実現する。

【0014】

【実施例】実施例1.

以下、この発明の一実施例を図について説明する。図1において、1a、1bはプロセッサ、2a、2bはプロセッサバス、6a、6bは緊急動作指示部であり、図2に同一符号を付した従来のそれらと同一、あるいは相当部分であるため詳細な説明は省略する。

【0015】3aはプロセッサ1aの緊急動作を行わせるための緊急動作装置、3bはプロセッサ1bの緊急動作を行わせるための緊急動作装置であり、これらはそれぞれが図2に符号3を付した緊急動作装置に相当する。

【0016】4aは緊急動作装置3a内に配置され、プロセッサ1aのプロセッサステータスとプロセッサ1bのプロセッサステータスを監視して、緊急動作起動要因の検出を行う緊急動作起動要因検出部、4bは緊急動作装置3b内に配置され、プロセッサ1bのプロセッサステータスとプロセッサ1aのプロセッサステータスを監視して、緊急動作起動要因の検出を行う緊急動作起動要因検出部であり、これらもそれぞれが図2に符号4を付した緊急動作起動要因検出部に相当する。

【0017】5aは緊急動作起動要因検出部4aに接続され、緊急動作指示部6aを介してプロセッサ1aの緊急動作を制御する緊急動作制御部、5bは緊急動作起動要因検出部4bに接続され、緊急動作指示部6bを介してプロセッサ1aの緊急動作を制御する緊急動作制御部であり、それぞれが図2に符号5を付した緊急動作制御部に相当する。

【0018】9aは緊急動作起動要因検出部4aと緊急動作制御部5aに接続され、プロセッサ1aの緊急動作ステータスをその発生時刻とともに記憶して、それを両系のプロセッサバス2aおよび2bに出力する緊急動作ステータスメモリとしての2ポートメモリである。

【0019】9bは緊急動作起動要因検出部4bと緊急動作制御部5bに接続され、プロセッサ1bの緊急動作ステータスをその発生時刻とともに記憶して、それを両系のプロセッサバス2aおよび2bに出力する緊急動作ステータスメモリとしての2ポートメモリである。

【0020】10aは2ポートメモリ9aに接続されて、それに緊急動作発生時刻管理用クロックを供給するクロック発生部であり、10bは2ポートメモリ9bに接続されて、それに緊急動作発生時刻管理用クロックを供給するクロック発生部である。

【0021】次に動作について説明する。各緊急動作装置3a、3bの緊急動作起動要因検出部4a、4bは、

4

常時、自系のプロセッサ1aあるいは1bよりそのプロセッサステータスを受け取り、それを相互に交換して自系と相手系のプロセッサステータスを監視している。

【0022】その過程で、例えば緊急動作起動要因検出部4aが緊急動作起動要因を検出すると、緊急動作起動要因検出部4aは緊急動作制御部5aを起動する。起動された緊急動作制御部5aは緊急動作起動要因検出部4aを介して相手系の緊急動作起動要因検出部4bをも監視しつつ、必要な緊急動作指示を緊急動作指示部6aを経由してプロセッサ1aに通知する。

【0023】なお、相手系の緊急動作制御部5bは、緊急動作起動要因検出部4aより緊急動作起動要因検出部4bに送られてくるプロセッサステータスを監視して、相手系のプロセッサ1aの状態変化を知ることができる。

【0024】このとき、2ポートメモリ9aには緊急動作起動要因検出部4aのステータス情報、および緊急動作制御部5aの制御情報がクロック発生部10aからの緊急動作発生時刻管理用クロックに基づく発生時刻と共に時々刻々蓄積される。

【0025】プロセッサ1aはその状態変化の後、2ポートメモリ9aの内容をプロセッサバス2aを介して読み取ることができる。

【0026】以上のような動作は、緊急動作起動要因検出部4bが緊急動作起動要因を検出した場合においても、全く対称の形で実現される。

【0027】更に、このように系に関して完全な対称系であるため、一方が保守などで実装されていない場合など「系の縮退」を簡単に実現できる。すなわち、プロセッサ1a、1bの双方で、両系のプロセッサステータスを相互に監視しており、それによって緊急動作起動要因検出部4a、4bが互いにその判断を下すことができる。

【0028】実施例2.

なお、上記実施例では、緊急動作ステータスメモリとして2ポートメモリを用いた場合について説明したが、レジスタや通常のメモリであってもよく、上記実施例と同様の効果を奏する。

【0029】

【発明の効果】以上のように、この発明によれば、緊急動作指示部以外の、緊急動作起動要因検出部および緊急動作制御部をも二重化し、自系の緊急動作起動要因検出部および緊急動作制御部の出力をその発生時刻とともに緊急動作ステータスメモリに記憶させるように構成したので、安価な装置であっても緊急動作装置がシステムの「一点障害」となるようなことがなくなって信頼性を向上させることが可能となり、障害管理や緊急動作の際の再開処理が速やかに行える二重化プロセッサシステムが得られる効果がある。

【図面の簡単な説明】

5

6

【図1】この発明の一実施例による二重化プロセッサシステムを示すブロック図である。

【図2】従来の二重化プロセッサシステムを示すブロック図である。

【符号の説明】

1 a, 1 b プロセッサ

2 a, 2 b プロセッサバス

4 a, 4 b 緊急動作起動要因検出部

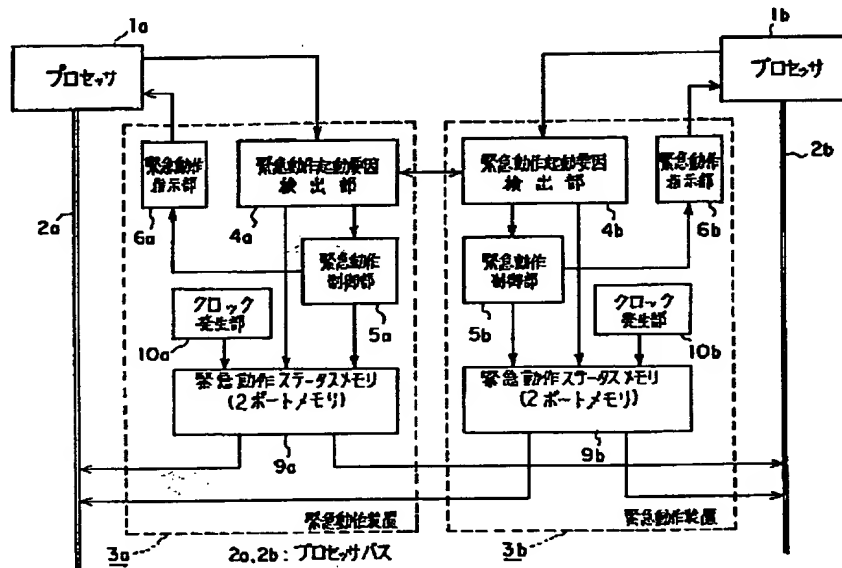
5 a, 5 b 緊急動作制御部

6 a, 6 b 緊急動作指示部

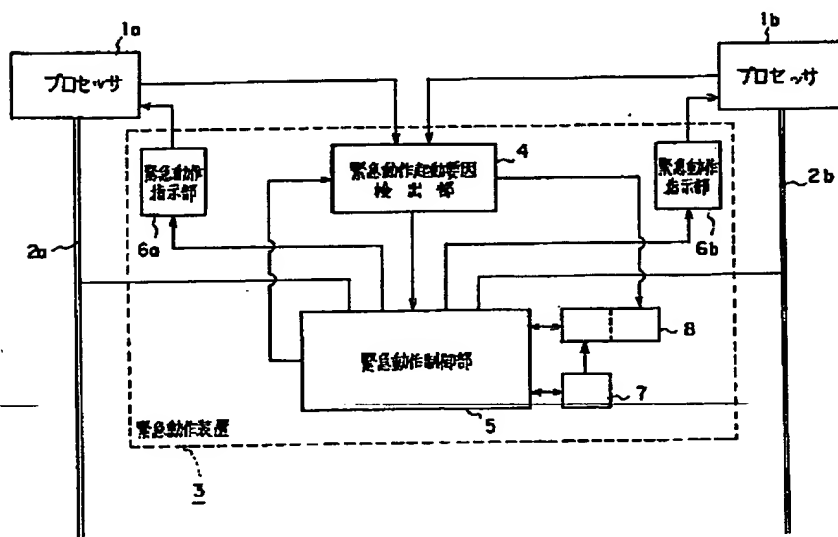
9 a, 9 b 緊急動作ステータスメモリ (2ポートメモリ)

10 a, 10 b クロック発生部

【図1】



【図2】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☒ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☒ **GRAY SCALE DOCUMENTS**
- ☒ **LINE(S) OR MARK(S) ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.